

Original document

THIN-FILM TRANSISTOR AND ITS MANUFACTURING METHOD

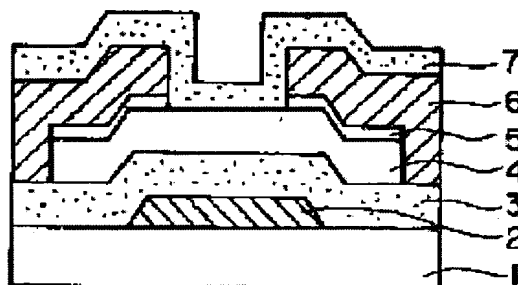
Patent number: JP9205209
Publication date: 1997-08-05
Inventor: YODA MASATO
Applicant: TOSHIBA ELECTRONIC ENG; TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: **G02F1/136; H01L21/318; H01L29/786; G02F1/13; H01L21/02; H01L29/66;**
(IPC1-7): H01L29/786; G02F1/136; H01L21/318
- european:
Application number: JP19960011829 19960126
Priority number(s): JP19960011829 19960126

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP9205209

PROBLEM TO BE SOLVED: To prevent a thin-film transistor from gradually deteriorating due to, for example, water. **SOLUTION:** The setting conditions of a plasma CVD(Plasma Vapor Deposition) for forming silicon nitride film 7 as a protection film provided at the uppermost layer of a thin-film transistor(TFT) are optimized. Namely, hydrogen atom content is small, thus achieving the silicon nitride film 7 with improved shielding performance of, for example, water. Especially, a substrate temperature is set to 300-350 deg.C and at the same time a semiconductor layer to be covered cannot be damaged.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205209

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 9 A
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 21/318			H 0 1 L 21/318	B

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号 特願平8-11829

(22) 出願日 平成8年(1996)1月26日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 余田 政人

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

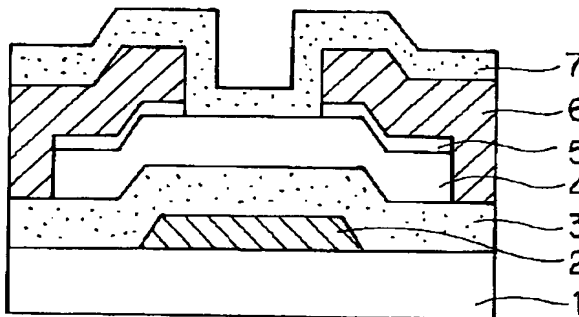
(74) 代理人 弁理士 葛田 瑋子 (外1名)

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 薄膜トランジスタが水分等によって徐々に性能低下を起こすことを防止する。

【解決手段】 薄膜トランジスタ (TFT) の最上層に設けられる保護膜としての窒化ケイ素膜7を成膜する際の、プラズマCVD (プラズマ化学気相堆積) 装置の設定条件を最適化する。すなわち、水素原子含有量が少なく、これにより、水分等の遮蔽性能の優れた窒化ケイ素膜7とする。特に、基板温度を300~350℃の範囲に設定するとともに、被覆される半導体層が損傷を受けない成膜条件とした。



【特許請求の範囲】

【請求項1】薄膜トランジスタの最上層に保護膜として窒化ケイ素膜が配される薄膜トランジスタにおいて、前記窒化ケイ素膜の化学組成における N-H/Si-H の化学結合比が0.13以下であり、 Si-H/Si-N の化学結合比が0.026以下であることを特徴とする薄膜トランジスタ。

【請求項2】前記薄膜トランジスタの半導体層が非晶質ケイ素層であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】前記窒化ケイ素膜が前記非晶質ケイ素層を直接被覆することを特徴とする請求項2記載の薄膜トランジスタ。

【請求項4】薄膜トランジスタの最上層に保護膜としての窒化ケイ素膜をプラズマCVD法により成膜する薄膜トランジスタの製造方法において、前記窒化ケイ素膜が成膜される際の基板の温度を300～350℃に設定して行われることを特徴とする薄膜トランジスタの製造方法。

【請求項5】請求項1に記載の薄膜トランジスタを液晶表示装置における画素のスイッチ素子として用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、保護膜として窒化ケイ素膜を備えた薄膜トランジスタに関する。

【0002】

【従来の技術】液晶表示装置のガラス基板上に形成される薄膜トランジスタ（以後TFTと呼ぶ）や、多層構造を持つ半導体集積回路の最上層に、保護膜（パッシベーション膜）として窒化ケイ素膜を設けることが広く行われている。これは、窒化ケイ素膜が、半導体素子に悪影響を及ぼす水分やナトリウムイオンを阻止する効果が高いこと、比較的低い温度で成膜が可能なことなどの理由による。

【0003】液晶表示装置におけるガラス基板上的TFTは、通常、以下のように積層して形成される。ガラス基板上に、まず、スパッタリング法によりTFTのゲート電極が形成され、次に、プラズマCVD（プラズマ化学気相堆積）法により、ゲート絶縁膜、半導体として例えば非晶質ケイ素層およびオーミックコンタクト層が連続して形成される。そして、再度スパッタリング法によりソース電極およびドレイン電極が作られる。

【0004】最後に、TFTの最上層に配される保護膜がプラズマCVD法により窒化ケイ素膜として形成される。このとき、被覆される半導体層の破損といった悪影響を与えないため基板温度は300℃以下に設定される。特に、半導体層として非晶質ケイ素層が用いられる場合、過熱により水素脱離が進行し変成してしまうために、200～300℃に設定することが当然と考えられ

そのように行われている。

【0005】上記のように従来の方で得られたTFT（本発明の比較例）は、次に述べるように、高温高湿下での耐久性が必ずしも十分でない。近年、液晶表示装置が普及するに伴い、用途によってはかなり過酷な状態での使用が予定されるに至っており、又、優れた表示性能を求める要求も一層高まっているからである。

【0006】上記のようにして得られたTFT素子について、温度90℃、湿度50%に設定した恒温恒湿機中に300時間放置することにより促進劣化試験を行い、その前後におけるTFT特性（ゲート電圧・ドレイン・ソース電流特性）を測定した。その結果を図5にそれぞれ実線および破線で示す。この図からもわかるようにゲート電圧を0Vよりも小さく設定してもドレイン・ソース電流が大きい。すなわち、過酷な使用条件においてはスイッチ素子としての特性が変化することがわかる。

【0007】このことは、上記TFT素子をマトリックス型液晶表示装置のスイッチ素子として用いた場合に、スイッチオフ時に、画素容量にたくわえられた電荷のリークが大きくなることを意味する。したがって、図6に模式的に示すように、一旦設定された表示状態を保持する性能が図6中の曲線(a)から(b)へ低下する。

【0008】液晶表示装置の表示画面にあつては、水分の侵入によるこのような性能低下が液晶セルの周縁部近傍の画素において先におこるため、液晶セル中央部に近い画素との表示色調に差が生じる。この差が大きくなると表示ムラが観察され、均一表示性能不良と判定される。

【0009】

【発明が解決しようとする課題】本発明は、高温多湿の過酷な使用条件にあつても、トランジスタ特性に劣化を生じないTFT、及び、均一表示性能を低下させない液晶表示装置を与える。また、それらの製造方法を与える。

【0010】

【課題を解決するための手段】本発明の請求項1の薄膜トランジスタは、薄膜トランジスタの半導体層の最上層に保護膜として窒化ケイ素膜が配される薄膜トランジスタにおいて、前記窒化ケイ素膜の化学組成における N-H/Si-H の化学結合比が0.13以下であり、 Si-H/Si-N の化学結合比が0.026以下であることを特徴とする。

【0011】保護膜中の水素原子含有量が十分に少ないため、半導体層への水分、ナトリウムイオンなどの侵入を阻止する性能に優れる。

【0012】請求項2の薄膜トランジスタは、請求項1に記載のものにおいて、前記半導体層が非晶質ケイ素層であることを特徴とする。

【0013】請求項3の薄膜トランジスタは、請求項2に記載のものにおいて、前記窒化ケイ素膜が前記非晶質

ケイ素層を直接被覆することを特徴とする。

【0014】請求項4の薄膜トランジスタの製造方法は、薄膜トランジスタの半導体層の最上層に保護膜としての窒化ケイ素膜をプラズマCVD法により成膜する薄膜トランジスタの製造方法において、前記窒化ケイ素膜が成膜される際の基板の温度を300～350℃に設定して行われることを特徴とする。

【0015】請求項5の液晶表示装置は、請求項1に記載の薄膜トランジスタを液晶表示装置における画素のスイッチ素子として用いたことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明にかかる実施例を図1～4及び表1～2に基づいて説明する。

【0017】図1には、液晶表示装置のスイッチング素子として用いられる非晶質ケイ素薄膜トランジスタ(a-SiTFT)の積層構造が断面の模式図で表されている。

【0018】ガラス基板1上に、まずTFTのゲート電極2がスパッタリング法によりタンタル(Ta)やアルミニウム(Al)といった金属あるいはMo-Ta、Mo-W等の合金でもって厚さ300nmに形成される。ここではゲート電極をMo-Ta合金で構成した。次に、ゲート絶縁膜3がプラズマCVD(プラズマ化学気相堆積)法により窒化ケイ素膜を厚さ400nmに形成した。さらに、同じくプラズマCVD法によりゲート絶縁膜3に連続して、非晶質ケイ素層4を厚さ300nmに形成し、続いて、オーミックコンタクト層5としてホスフィンがドーピングされて成るn⁺型非晶質ケイ素(n⁺:a-Si)を厚さ300nmに形成した。この後、フォトリソグラフィ法により不要な非晶質ケイ素層並びにn⁺型非晶質ケイ素を除去してから、スパッタリングにより金属アルミニウム(Al)を厚さ500nmに堆積し、しかる後に金属アルミニウム(Al)をパターニングしてソース電極6およびドレイン電極6を形成する。さらにソース・ドレイン電極に沿ってn⁺型非晶質ケイ素をパターニングしてオーミックコンタクト層5を形成する。

【0019】最後に、TFTの最上層に配される保護膜7(パッシベーション膜)がプラズマCVD法により窒化ケイ素膜として厚さ500nmに形成される。

【0020】図1には、保護膜7を形成するプラズマCVD工程について、ごく模式的に示されている。

【0021】ここで、保護膜7形成を表1に示す条件で行った。この成膜条件は、CVD工程を最適にするため鋭意検討を行った結果に得られたものである。CVD工程による半導体層の毀損が一切ないとともに、後述するように、半導体層の保護膜として非常に優れた性能が得られた。表1の中程に示すように、特に、保護膜の成膜温度を330℃としている。

【0022】

【表1】

窒化ケイ素保護膜の成膜条件

設定項目		設定値
ガス流量 (SCCM)	SiH ₄	30
	NH ₃	150
	N ₂	600
基板温度(℃)		330
ガス圧力(Torr)		0.6
高周波電力(W/cm ²)		0.10
高周波電源周波数(MHz)		13.56
成膜時間		20'15"

プラズマCVDにおける反応ガスおよびキャリアガスとしては、最も典型的な、シラン(SiH₄)、アンモニア、窒素を用いている。基板温度と反応ガスの構成以外にも、ガス流量、ガス圧力、高周波電力、および電極間距離がCVDにおける重要なパラメーターであるが、これらは互いに関連しあっているため、窒化ケイ素膜の性状に対する影響は複雑である。本実施例においては、温度を従来技術の範囲よりかなり高い330℃に設定し、他の装置条件をCVD工程が半導体層に悪影響を与えないようにすることに成功した。

【0023】表1の条件により得られた窒化ケイ素保護膜について、赤外線吸収スペクトル(IR)測定による吸光度比を求め、従来技術の窒化ケイ素保護膜(比較例)と比較した。その結果を表2に示すが、N-H/Si-H(窒素-水素/ケイ素-水素)の化学結合比およびSi-H/Si-N(ケイ素-水素/ケイ素-窒素)の化学結合比がともに減少していることが知られる。ここで、比較例は成膜時の基板温度だけを290℃としたものである。

【0024】

【表2】

窒化ケイ素保護膜の赤外線吸収比

	N-H/Si-H	Si-H/Si-N
実施例	0.13	0.026
比較例	0.16	0.035

350℃より高い基板温度を設定することは半導体層の損傷の問題から困難であり、基板温度を300℃より低い温度に設定したのでは本実施例の効果を得ることが困難である。300℃より低い基板温度で本実施例の効果を得ようとすれば、高周波電力強度、反応ガス構成比などを詳細に検討する必要があると思われる。

【0025】次に、上記のようにして製造したTFT素子について、その高温高湿下での耐久性を調べた。温度90℃、湿度50%に設定した恒温恒湿機中に300時間放置することにより促進劣化試験を行った。図3に、

促進劣化試験の前後におけるTFT特性（ゲート電圧－ドレイン・ソース電流特性）を、それぞれ実線および破線で示す。このとき、用いたTFT素子のサイズは、幅 $20\mu\text{m}$ 、長さ $10\mu\text{m}$ であり、ドレイン・ソース電圧（ V_{ds} ）は 15V に設定した。この図からわかるようにゲート電圧を 0V よりも小さく設定した場合、ドレイン・ソース電流が従来よりも大きく上昇することがなく、上記のような過酷な条件にあっても、スイッチ素子特性の劣化がないことが知られる。本発明の効果は、従来技術のTFTについて同様に測定した図5の結果と比べ顕著である。

【0026】さらに、上記TFTを用いて液晶表示素子を製作し、その均一表示性能の耐久性を調べた。温度 120°C 、湿度 80% 、圧力 1.6 気圧の下に、 $0\sim 30$ 時間放置した後、均一表示性能の指標となる限界フレーム数を測定した。図4に、本実施例の結果（○）を、従来技術（比較例）の結果（△）とともに示す。

【0027】ここで、限界フレーム数とは、液晶表示装置を駆動するフレーム周波数に対応する周期、すなわち各画素容量の保持期間を 80ms から 10ms まで徐々に短縮させて、表示ムラが目視により発生しなくなるまでの周期（ ms 単位）を測定したものである。

【0028】図4に示されるように、本実施例の表示装置は上記の過酷な条件においても、常に限界フレーム数 80 以上であって、均一表示性能の低下（表示ムラ発生）が全く観察されなかった。

【0029】これに対して、従来技術の表示装置では、 10 時間後から均一表示性能の低下が観察され、 16 時間後には均一表示性不良と判定される限界フレーム数 10 以下の水準にまで低下した。

【0030】本実施例のTFT素子および表示装置の優れた耐久性は、窒化ケイ素保護膜中の水素原子含有量が減少（表2）したことによって得られたものである。保護膜中の欠陥が少なくなり、高温高湿の過酷な条件下で

も半導体層への水分やナトリウムイオンの侵入が阻止されたので、バックチャネル部分での電荷の滞留が防止されたものと考えられる。

【0031】上記実施例ではバックチャネル型TFTを用いたが、エッチングストッパー型のTFTを用いても全く同様であることは明らかである。

【0032】

【発明の効果】本発明によると、成膜条件を最適化した保護膜を用いることにより、TFTが水分等によって徐々に性能低下を起こすことを防止する。

【図面の簡単な説明】

【図1】TFT素子における半導体の多層構造と保護膜形成を模式的に示す縦断面図である。

【図2】本実施例の窒化ケイ素保護膜の赤外線吸収スペクトルを、従来技術によって得られた比較例とともに示すチャートである。

【図3】本実施例のTFT素子のTFT特性について、高温高湿による促進劣化試験の前後で示すグラフである。

【図4】本実施例および比較例にかかる表示装置の均一表示性能について、高温高湿加圧下での経時変化を示すグラフである。

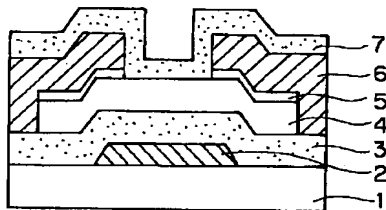
【図5】従来技術のTFT素子のTFT特性について、高温高湿による促進劣化試験の前後で示すグラフである。

【図6】TFT型液晶表示装置における画素電位の保持特性の低下、およびそれによる表示性能の低下について示す模式図である。

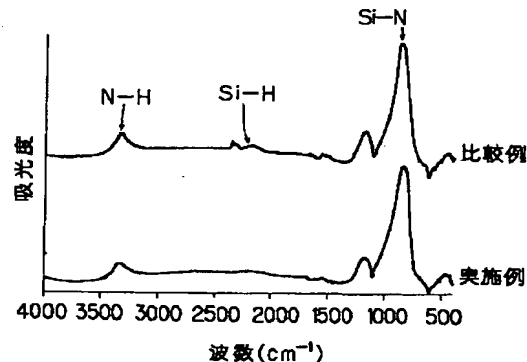
【符号の説明】

- 2 ゲート電極
- 4 非晶質ケイ素層
- 6 ソース電極およびドレイン電極
- 7 窒化ケイ素保護膜

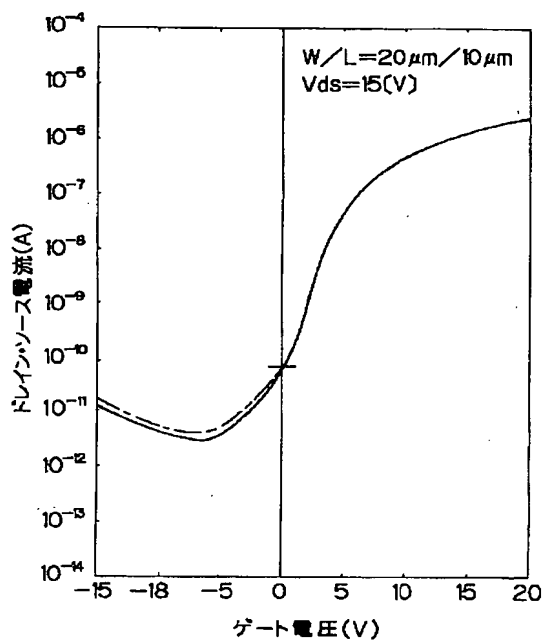
【図1】



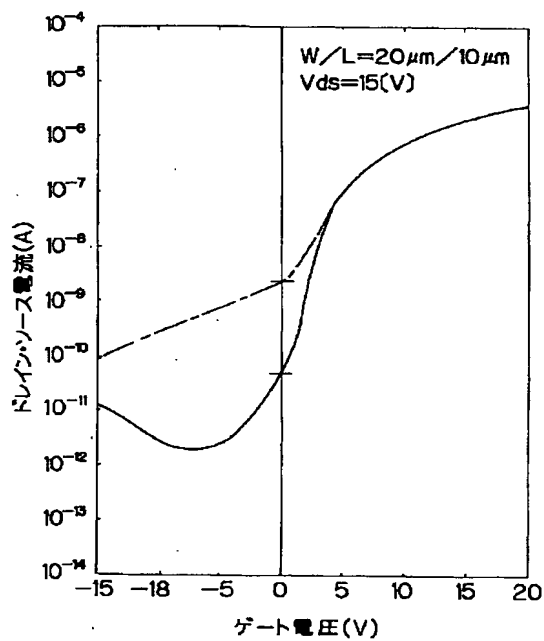
【図2】



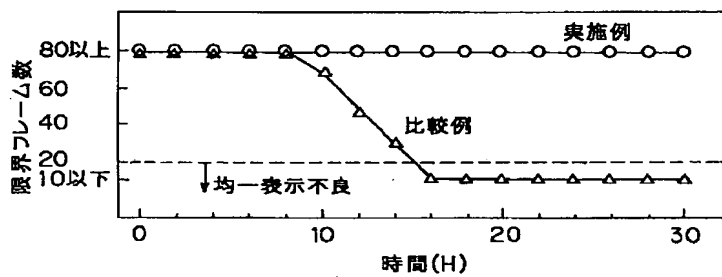
【図3】



【図5】



【図4】



【図6】

